

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-039868

(43)Date of publication of application : 12.02.1999

(51)Int.Cl.

G11C 11/407

G06F 1/04

G11C 7/00

G11C 11/413

(21)Application number : 09-194637

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 18.07.1997

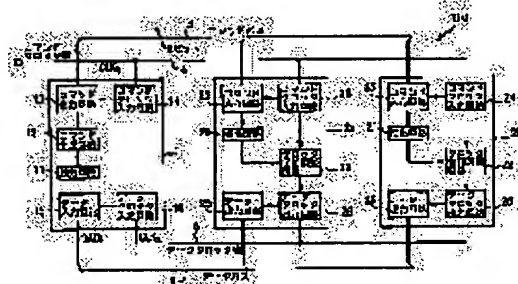
(72)Inventor : AKAMATSU HIRONORI  
IWATA TORU

(54) SEMICONDUCTOR INTEGRATED CIRCUIT SYSTEM, SEMICONDUCTOR INTEGRATED CIRCUIT AND METHOD OF DRIVING SEMICONDUCTOR INTEGRATED CIRCUIT SYSTEM

(57)Abstract:

PROBLEM TO BE SOLVED: To enable stable high speed operations even when the circuit characteristics such as dependence on temperature and voltage of each IC chip are different by providing a sensing means for generating the information indicating change of temperature and power supply voltage and a clock phase adjusting means for adjusting phase of clock to transfer the data output from a slave chip based on the generated information.

SOLUTION: A master chip 1 senses changes of power supply voltage and temperature with a sensing circuit 11, generates variation information indicating the sensing result and then outputs such variation information via a command generating circuit 12 and a command output circuit 13. Slave chips 2a, 2b extract variation information with an extracting circuit 21 via the command input circuit 23 to generate the data clock CLK2 by adjusting phase of the command clock CLK1 based on the variation information with a clock phase adjusting circuit 22. Thereby, even when operation environment is changed, stable high speed operations of the slave chips 2a, 2b can be realized.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-39868

(43) 公開日 平成11年(1999) 2月12日

(51) Int.Cl. <sup>9</sup>	識別記号	F I	
G 1 1 C 11/407		G 1 1 C 11/34	3 6 2 S
G 0 6 F 1/04		G 0 6 F 1/04	Z
G 1 1 C 7/00	3 1 3	G 1 1 C 7/00	3 1 3
11/413		11/34	J
			3 5 4 C
審査請求 未請求 請求項の数17 O L (全 19 頁)			

(21) 出願番号 特願平9-194637

(22) 出願日 平成9年(1997) 7月18日

(71) 出願人 000005821

松下電器産業株式会社  
大阪府門真市大字門真1006番地

(72) 発明者 赤松 寛範

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 岩田 徹

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

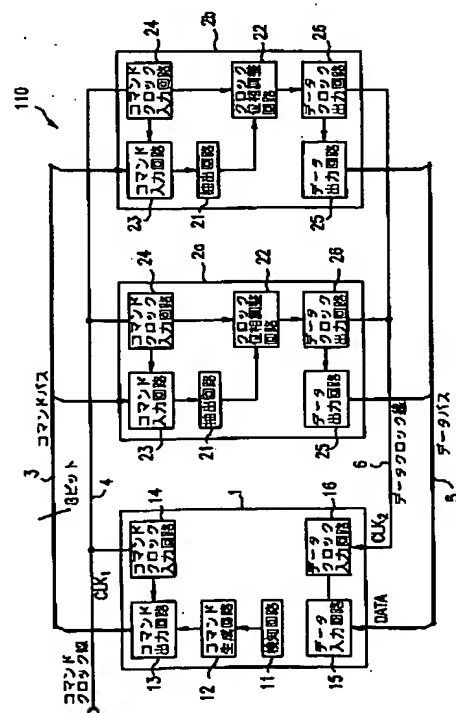
(74) 代理人 弁理士 山本 秀策

(54) 【発明の名称】 半導体集積回路システム、半導体集積回路、及び半導体集積回路システムの駆動方法

(57) 【要約】

【課題】 同一の半導体集積回路システム内に回路特性の異なる I C チップが混在した場合でも、安定した高速動作が可能な半導体集積回路システム、半導体集積回路、及び半導体集積回路システムの駆動方法を提供する。

【解決手段】 1つのマスターチップ及び複数のスレーブチップを含み、所定のクロックの制御によってデータの伝送を行う半導体集積回路システムであって、少なくとも温度及び電源電圧のいずれかを含む該半導体集積回路システムの状態の変化を検知してその検知結果を示す情報を生成する検知手段と、該情報を受け取り、該情報に基づいて該スレーブチップから出力されるデータを伝送するためのクロックの位相を調整するクロック位相調整手段と、を含む。



## 【特許請求の範囲】

【請求項 1】 1つのマスターチップ及び複数のスレーブチップを含み、所定のクロックの制御によってデータの伝送を行う半導体集積回路システムであって、該システムは、

少なくとも温度及び電源電圧のいずれかを含み該半導体集積回路システムの状態の変化を検知し、その検知結果を示す情報を生成する検知手段と、

該情報を受け取り、該情報に基づいて該スレーブチップから出力されるデータを伝送するためのクロックの位相を調整するクロック位相調整手段と、を含む、半導体集積回路システム。

【請求項 2】 前記検知手段は前記マスターチップによって制御され、前記クロック位相調整手段は前記スレーブチップに含まれる、請求項 1 に記載の半導体集積回路システム。

【請求項 3】 前記マスターチップ及び前記複数のスレーブチップは、コマンドを伝送するコマンドバスと、該コマンドの伝送を制御するコマンドクロックを運ぶ第 1 のクロック線と、データを伝送するデータバスと、該データの伝送を制御するデータクロックを運ぶ第 2 のクロック線と、に接続されており、

前記検知手段は該マスターチップに備えられており、

該マスターチップは、更に、

該検知手段が生成する前記情報をその一部として含むコマンドを生成するコマンド生成手段と、

該コマンドを該コマンドクロックに基づいて該コマンドバスに出力するコマンド出力手段と、を含む、

該スレーブチップは、

該第 1 のクロック線から該コマンドクロックを受け取るクロック入力手段と、

該コマンドクロックに従って、該コマンドバスから該コマンドを受け取る入力手段と、

受け取った該コマンドに含まれる該情報を抽出する手段と、

該データクロックに従って、該データバスに該スレーブチップ内部のデータを出力するデータ出力手段と、

該データクロックを該第 2 のクロック線に出力するクロック出力手段と、を備えており、

前記クロック位相調整手段は、該コマンドクロックを受け取り、該抽出手段によって抽出された該情報の示す半導体集積回路システムの状態の変化に基づいて該コマンドクロックの位相を調整することにより、データクロックを生成する、

請求項 2 に記載の半導体集積回路システム。

【請求項 4】 前記コマンドはパケット方式で伝送され、

前記コマンド生成手段は、前記情報信号及びチップ ID を含むコマンドパケットを生成する、

請求項 3 に記載の半導体集積回路システム。

【請求項 5】 前記クロック位相調整手段は、前記半導体集積回路システムの状態の変化に基づいて選択的に用いられる複数の遅延ユニットを有している、請求項 2 に記載の半導体集積回路システム。

【請求項 6】 前記複数のスレーブチップの各々は、前記検知手段及び前記クロック位相調整手段を備えている、請求項 1 に記載の半導体集積回路システム。

【請求項 7】 前記マスターチップ及び前記複数のスレーブチップには、コマンドを伝送するコマンドバス、該コマンドの伝送を制御するコマンドクロックを運ぶ第 1 のクロック線、データを伝送するデータバス、及び該データの伝送を制御するデータクロックを運ぶ第 2 のクロック線が接続されており、

該複数のスレーブチップの各々は、更に、

該第 1 のクロック線から該コマンドクロックを受け取るクロック入力手段と、

該コマンドクロックに従って、該コマンドバスから該コマンドを受け取る入力手段と、

受け取った該コマンドに基づいて得られた該スレーブチップ内部のデータを、該データクロックに従って該データバスに出力するデータ出力手段と、

該データクロックを該第 2 のクロック線に出力するクロック出力手段と、を備えており、

前記クロック位相調整手段は、前記検知手段から与えられる前記情報の示す半導体集積回路システムの状態の変化に基づいて該コマンドクロックの位相を調整することにより、該データクロックを生成する、

請求項 6 に記載の半導体集積回路システム。

【請求項 8】 第 2 のクロック位相調整手段を更に含んでおり、

前記第 1 のクロック位相調整手段及び該第 2 のクロック位相調整手段は、1つの動作サイクルにおいてその一方が位相の調整を行っている間、他方は次の動作サイクルのための位相調整の準備を行う、

請求項 1 ～ 7 のいずれかに記載の半導体集積回路システム。

【請求項 9】 所定のクロックに同期して動作する半導体集積回路であって、該半導体集積回路は、コマンドクロックを受け取るクロック入力手段と、

該コマンドクロックに従って、少なくとも温度及び電源電圧のいずれかを含み状態の変化を示す情報を含むコマンドを受け取るコマンド入力手段と、

受け取った該コマンドから該情報を抽出する手段と、

該抽出手段によって抽出された該情報が示す該状態の変化に基づいて、受け取った該コマンドクロックの位相を調整することにより、データクロックを生成する、クロック位相調整手段と、

該データクロックに従って、該スレーブチップ内部のデータを出力するデータ出力手段と、

該データクロックを出力するクロック出力手段と、を含

む、半導体集積回路。

【請求項 10】 第 2 のクロック位相調整手段を更に含んでおり、

前記第 1 のクロック位相調整手段及び該第 2 のクロック位相調整手段は、1 つの動作サイクルにおいてその一方が位相調整を行っている間、他方は次の動作サイクルのための位相調整の準備を行う、

請求項 9 に記載の半導体記憶送致。

【請求項 11】 所定のクロックに同期して動作する半導体集積回路であって、該半導体集積回路は、基準クロックを入力するクロック入力手段と、電源レベルに対応した内部クロックを生成する同期手段であって、該基準クロックを受け取り、該電源レベルを変化させることによって該内部クロックを該基準クロックに同期させて出力し、該内部クロックを該基準クロックに同期させることによって決定される電源レベルを基準電圧信号として出力する同期手段と、

該基準電圧信号に基づいて電源電圧を発生する電源発生手段と、

該内部クロックを受け取り、該内部クロックの位相を該電源電圧に基づいて調整することにより、出力制御クロックを出力するクロック位相調整手段と、

該出力制御クロックに従って該半導体集積回路内部のデータを出力するデータ出力手段と、を含む半導体集積回路。

【請求項 12】 前記基準クロックは前記半導体集積回路の動作時と待機時とでその周波数が異なる、請求項 11 に記載の半導体集積回路。

【請求項 13】 前記基準クロックの周波数は、動作時よりも待機時が小さい、請求項 12 に記載の半導体集積回路。

【請求項 14】 前記電源発生手段は、前記半導体集積回路の動作時に使用される第 1 の電源発生部と、該半導体集積回路の待機時に使用される第 2 の電源発生部とを含む、請求項 11 に記載の半導体集積回路。

【請求項 15】 所定のクロックに同期して動作する半導体集積回路であって、該半導体集積回路は、基準クロックを入力する第 1 のクロック入力手段と、調整用クロックを入力する第 2 のクロック入力手段と、電源レベルに対応した内部クロックを生成する同期手段であって、該調整用クロックを受け取り、該電源レベルを変化させることによって該内部クロックを該調整用クロックに同期させ、それにより決定される電源レベルを基準電圧信号として出力する同期手段と、該基準電圧信号に基づいて電源電圧を発生する電源発生手段と、

該基準クロックを受け取り、該基準クロックの位相を該電源電圧に基づいて調整することにより、出力制御クロックを出力するクロック位相調整手段と、

該出力制御クロックに従って該半導体集積回路内部のデ

ータを出力するデータ出力手段と、を含む半導体集積回路。

【請求項 16】 前記第 2 のクロック入力手段は、前記第 1 のクロック入力手段からの前記基準クロックを分周することにより前記調整用クロックを生成する、請求項 15 に記載の半導体集積回路。

【請求項 17】 1 つのマスタチップ及び複数のスレーブチップを含み、所定のクロックの制御によってデータの伝送を行う半導体集積回路システムの駆動方法であって、該駆動方法は、

電源投入後、読み出し／書き込み動作を開始する前に、各スレーブチップにおけるデータの伝送用のクロックの初期設定を行うステップと、

温度及び電源電圧の変化を検知し、その検知結果を示す情報信号を生成する検知ステップと、

該情報信号に基づいて、各スレーブチップにおいて、該初期設定された該データ伝送用のクロックの位相を調整するステップと、を含む、半導体集積回路システムの駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路システム、半導体集積回路、及び半導体集積回路システムの駆動方法に関する。特に、クロックに同期して高速にデータ伝送を行う半導体集積回路システム及びその駆動方法と、半導体集積回路システムに使用される半導体集積回路に関する。

【0002】

【従来の技術】近年、マルチメディアに対応する新しい製品分野が開拓されつつある。マルチメディアの大きな特徴の 1 つは、文字、静止画像や音声だけでなく、動画像を扱うことが挙げられる。動画像の処理には非常に多くのデータを必要とするため、高いデータ転送レートが要求される。このような高データ転送レートを実現する方法の 1 つとして、データバスのバス幅を広げることによって大量のデータを転送することがある。しかし、データバスのバス幅を広げると、そのシステムの規模が大きくなるという問題が生じる。そこで、データバスのバス幅を広げずに、データの伝送速度（クロック）を増大することにより、非常に高速で大量のデータの伝送を行う半導体集積回路システムが提案されている。

【0003】例えば、クロックのデュアルエッジでの入出力を行う SyncLink DRAM を用いるシステムが提案されており、Draft Standard for A High-Speed Memory Interface (SyncLink)-Draft 0.99 IEEE P1596.7-199X や、"RAMBUS 社製、PURODUCT CATALOG" に記載されている。このような半導体集積回路システムにおいて高速データ伝送を実現するためにシステムのクロックの速度が増大すると、マスタチップと各スレーブチップとの距離（バス長）の違いにより、クロックスキューや各チッ

10

20

30

40

50

ブ間のスキューなどの問題が生じる。そこで、上記のSynclinkのシステムにおいては、例えば、Draft 0.99 IEEE P1596.7-199XのP.43 Fig. 36に記載されているように、スレーブ側のチップの内部に、マスターチップとの位置関係（バス長）に応じて、データを出力するタイミングを制御するデータ出力クロックを遅延させる（位相を調整する）回路が搭載されている。

【0004】各スレーブチップとマスターチップとの距離は、システムのイニシャライズ（初期設定）時に検出され、各スレーブチップのクロックの位相を調整する回路には、この距離に応じた所定の遅延量が設定される。このようにして各スレーブチップのデータ出力クロックの位相を調整することにより、マスターチップが各スレーブチップからのデータを同時に受け取ることができるため、高速なデータ伝送を安定に行うことができる。

【0005】

【発明が解決しようとする課題】しかしながら、上述のような従来の半導体集積回路システムにおいて用いられるICチップ（半導体集積回路）は、全てのICチップがある1つのメーカーのICチップであるとは限らない。製造メーカーが異なれば、各ICチップに設けられたデータ出力クロックの位相を調整する回路の特性、例えば、温度依存性や電源電圧依存性が異なってくる。本出願人は、各チップ間におけるデータ出力クロックの位相を調整する回路の特性の違いは、高速データ伝送を行うシステム、例えば、200MHz以上のクロックによって動作するシステムにおいて問題となることに気が付いた。このような半導体集積回路システムの温度や電源電圧の変化は、例えば、使用による温度上昇や、大量の電力を消費するアプリケーションの実行時などに容易に生じ得る。

【0006】即ち、1つの半導体集積回路システム内に様々なメーカーのICチップが混在した場合、イニシャライズ時に各チップにおけるクロック位相調整回路に対してバス長に応じた適切な遅延量を設定したとしても、システムの温度や電源電圧などの条件がイニシャライズ時から変化すると、各チップにおける遅延量の適正値にずれが生じる。各チップにおける遅延量の適正値からのずれは、各チップのクロック位相調整回路の特性（温度依存性や電圧依存性など）により異なるため、条件の変化に伴って各チップ間の遅延量が整合しなくなってくる。従って、各チップ間のクロックスキューが補償できず、システムの安定した動作が保証できなくなる場合がある。

【0007】また、たとえ、各メーカーのICチップにおけるデバイス、例えばトランジスタの温度依存性や電圧依存性などの特性を統一するように取り決めたとしても、広い温度範囲や電圧範囲（例えば、温度依存性で-100～+100℃）にわたって各メーカーのデバイス特性を一致させることは困難である。従ってこのよ

うな取り決めは現実的ではない。

【0008】更に、同一メーカーのICチップであったとしても、ロット間のばらつきなどにより、各ICチップの回路特性が同一であるとは限らない。

【0009】本発明は、上記事情に鑑みてなされたものであり、その目的とするところは、同一の半導体集積回路システム内に様々なメーカーのICチップが混在した場合や、各ICチップの回路特性（温度依存性や電圧依存性など）が異なる場合においても、安定した高速動作が可能な半導体集積回路システム、半導体集積回路、及び半導体集積回路システムの駆動方法を提供することにある。

【0010】

【課題を解決するための手段】本発明による半導体集積回路システムは、1つのマスターチップ及び複数のスレーブチップを含み、所定のクロックの制御によってデータの伝送を行う半導体集積回路システムであって、該システムは、少なくとも温度及び電源電圧のいずれかを含む該半導体集積回路システムの状態の変化を検知し、その検知結果を示す情報を生成する検知手段と、該情報を受け取り該情報に基づいて該スレーブチップから出力されるデータを伝送するためのクロックの位相を調整するクロック位相調整手段と、を含んでおり、そのことにより上記目的が達成される。

【0011】1つの実施の形態において、前記検知手段は前記マスターチップによって制御され、前記クロック位相調整手段は前記スレーブチップに含まれる。

【0012】1つの実施の形態において、前記マスターチップ及び前記複数のスレーブチップは、コマンドを送送するコマンドバスと、該コマンドの伝送を制御するコマンドクロックを運ぶ第1のクロック線と、データを伝送するデータバスと、該データの伝送を制御するデータクロックを運ぶ第2のクロック線と、に接続されており、前記検知手段は該マスターチップに備えられており、該マスターチップは、更に、該検知手段が生成する前記情報をその一部として含むコマンドを生成するコマンド生成手段と、該コマンドを、該コマンドクロックに基づいて、該コマンドバスに出力するコマンド出力手段と、を含み、該スレーブチップは、該第1のクロック線から該コマンドクロックを受け取るクロック入力手段と、該コマンドクロックに従って、該コマンドバスから該コマンドを受け取る入力手段と、受け取った該コマンドに含まれる該情報を抽出する手段と、該データクロックに従って、該データバスに該スレーブチップ内部のデータを出力するデータ出力手段と、該データクロックを該第2のクロック線に出力するクロック出力手段と、を備えており、前記クロック位相調整手段は、該コマンドクロックを受け取り、該抽出手段によって抽出された該情報の示す半導体集積回路システムの状態の変化に基づいて該コマンドクロックの位相を調整することにより、

データクロックを生成する。

【0013】1つの実施の形態において、前記コマンドはパケット方式で伝送され、前記コマンド生成手段は、前記情報信号及びチップIDを含むコマンドパケットを生成する。

【0014】1つの実施の形態において、前記クロック位相調整手段は前記半導体集積回路システムの状態の変化に基づいて選択的に用いられる複数の遅延ユニットを有している。

【0015】1つの実施の形態において、前記複数のスレーブチップの各々は前記検知手段及び前記クロック位相調整手段を備えている。

【0016】1つの実施の形態において、前記マスターチップ及び前記複数のスレーブチップには、コマンドを伝送するコマンドバス、該コマンドの伝送を制御するコマンドクロックを運ぶ第1のクロック線、データを伝送するデータバス、及び該データの伝送を制御するデータクロックを運ぶ第2のクロック線が接続されており、該複数のスレーブチップの各々は、更に、該第1のクロック線から該コマンドクロックを受け取るクロック入力手段と、該コマンドクロックに従って、該コマンドバスから該コマンドを受け取る入力手段と、受け取った該コマンドに基づいて得られた該スレーブチップ内部のデータを、該データクロックに従って該データバスに出力するデータ出力手段と、該データクロックを該第2のクロック線に出力するクロック出力手段と、を備えており、前記クロック位相調整手段は、前記検知手段から与えられる前記情報の示す半導体集積回路システムの状態の変化に基づいて該コマンドクロックの位相を調整することにより、該データクロックを生成する。

【0017】1つの実施の形態において、前記半導体集積回路システムは第2のクロック位相調整手段を更に含んでおり、前記第1のクロック位相調整手段及び該第2のクロック位相調整手段は、1つの動作サイクルにおいてその一方が位相の調整を行っている間、他方は次の動作サイクルのための位相調整の準備を行う。

【0018】本発明による半導体集積回路は、所定のクロックに同期して動作する半導体集積回路であって、コマンドクロックを受け取るクロック入力手段と、該コマンドクロックに従って、少なくとも温度及び電源電圧のいずれかを含む状態の変化を示す情報を含むコマンドを受け取るコマンド入力手段と、受け取った該コマンドから該情報を抽出する手段と、該抽出手段によって抽出された該情報が示す該状態の変化に基づいて、受け取った該コマンドクロックの位相を調整することにより、データクロックを生成する、クロック位相調整手段と、該データクロックに従って、該スレーブチップ内部のデータを出力するデータ出力手段と、該データクロックを出力するクロック出力手段と、を含んでおり、そのことにより上記目的が達成される。

【0019】前記半導体集積回路は第2のクロック位相調整手段を更に含んでおり、前記第1のクロック位相調整手段及び該第2のクロック位相調整手段は、1つの動作サイクルにおいてその一方が位相調整を行っている間、他方は次の動作サイクルのための位相調整の準備を行う。

【0020】本発明による半導体集積回路は、所定のクロックに同期して動作する半導体集積回路であって、基準クロックを入力するクロック入力手段と、電源レベルに対応した内部クロックを生成する同期手段であって、該基準クロックを受け取り、該電源レベルを変化させることによって該内部クロックを該基準クロックに同期させて出力し、該内部クロックを該基準クロックに同期させることによって決定される電源レベルを基準電圧信号として出力する同期手段と、該基準電圧信号に基づいて電源電圧を発生する電源発生手段と、該内部クロックを受け取り、該内部クロックの位相を該電源電圧に基づいて調整することにより、出力制御クロックを出力するクロック位相調整手段と、該出力制御クロックに従って該半導体集積回路内部のデータを出力するデータ出力手段と、を含んでおり、そのことにより上記目的が達成される。

【0021】前記基準クロックは前記半導体集積回路の動作時と待機時とでその周波数が異なってもよい。

【0022】前記基準クロックの周波数は動作時よりも待機時が小さい場合がある。

【0023】前記電源発生手段は、前記半導体集積回路の動作時に使用される第1の電源発生部と、該半導体集積回路の待機時に使用される第2の電源発生部とを含む場合がある。

【0024】本発明による半導体集積回路は、所定のクロックに同期して動作する半導体集積回路であって、基準クロックを入力する第1のクロック入力手段と、調整用クロックを入力する第2のクロック入力手段と、電源レベルに対応した内部クロックを生成する同期手段であって、該調整用クロックを受け取り、該電源レベルを変化させることによって該内部クロックを該調整用クロックに同期させ、それにより決定される電源レベルを基準電圧信号として出力する同期手段と、該基準電圧信号に基づいて電源電圧を発生する電源発生手段と、該基準クロックを受け取り、該基準クロックの位相を該電源電圧に基づいて調整することにより、出力制御クロックを出力するクロック位相調整手段と、該出力制御クロックに従って該半導体集積回路内部のデータを出力するデータ出力手段と、を含んでおり、そのことにより上記目的が達成される。

【0025】前記第2のクロック入力手段は、前記第1のクロック入力手段からの前記基準クロックを分周することにより前記調整用クロックを生成してもよい。

【0026】本発明による半導体集積回路システムの駆

動方法は、1つのマスターチップ及び複数のスレーブチップを含み、所定のクロックの制御によってデータの伝送を行う半導体集積回路システムの駆動方法であって、該駆動方法は、電源投入後、読み出し／書き込み動作を開始する前に各スレーブチップにおけるデータの伝送用のクロックの初期設定を行うステップと、温度及び電源電圧の変化を検知し、その検知結果を示す情報信号を生成する検知ステップと、該情報信号に基づいて、各スレーブチップにおいて、該初期設定された該データ伝送用のクロックの位相を調整するステップと、を含んでおり、そのことにより上記目的が達成される。

【0027】

【発明の実施の形態】図1は、本発明による半導体集積回路システム100を模式的に示すブロック図である。図1に示されるように、半導体集積回路システム100は、1つのマスターチップ1及び複数のスレーブチップ2を含んでいる。マスターチップ1の制御により、各スレーブチップ2においてデータ処理（例えば、データの読み出し及び書き込み、演算処理など）が行われ、その結果スレーブチップ2から得られるデータが、所定のクロックCLKの制御によって伝送される。半導体集積回路システム100は、半導体集積回路システム100の状態（例えば、温度や電源電圧など）の変化を検知し、その検知結果を示す情報を生成する検知手段と、スレーブチップ2から出力されるデータを伝送するためのクロックの位相を調整するクロック位相調整手段とを含んでいる。クロック位相調整手段は、検知手段からの検知結果を示す情報を受け取り、この情報に基づいてクロックの位相を調整する。

【0028】このような検知手段はマスターチップ1によって制御することができる。例えば、マスターチップ1に検知手段を設け、各スレーブチップ2にクロック位相調整手段を設ける。マスターチップ1に設けられる検知手段は、マスターチップ1の内部に設けることも、或いは、マスターチップ1に外付けで設けてマスターチップ1にその検知結果を与える構成とすることもできる。或いは、検知手段は各スレーブチップ2に設けてもよい。

【0029】以下、図面を参照しながら本発明の実施の形態をより具体的に説明する。

【0030】（実施の形態1）図2は、第1の実施の形態による半導体集積回路システム110を示すブロック図である。本実施の形態では、半導体集積回路システム110が複数のスレーブチップ2として第1及び第2のスレーブチップ2a及び2bを含む場合を説明する。図2に示されるように、半導体集積回路システム110は、マスターチップ1、第1スレーブのチップ2a、及び第2スレーブのチップ2bを備えている。マスターチップ1及び第1及び第2のスレーブチップ2a及び2bは、コマンドを伝送するコマンドバス3、コマンドの伝

送を制御するコマンドクロックCLK1を運ぶコマンドクロック線4、データを伝送するデータバス5、及びデータの伝送を制御するためのデータクロックCLK2を運ぶデータクロック線6に接続されている。

【0031】図2に示されるように、マスターチップ1は、半導体集積回路システム110の状態（動作環境）の変化を検知する検知回路11と、検知回路11が生成する情報をその一部として含むコマンドを生成するコマンド生成回路12と、生成されたコマンドをコマンドクロックCLK1に基づいてコマンドバス3に出力するコマンド出力回路13とを含んでいる。

【0032】本実施例では、半導体集積回路システム110の状態を示す量として温度及び電源電圧を用いる。検知回路11は、半導体集積回路システムの電源電圧及び温度の変化を検知し、その検知結果を示す情報を生成する。また、コマンドクロック線4上のコマンドクロックCLK1は、マスターチップ1のコマンドクロック入力回路14に入力され、コマンド出力回路13に与えられる。

【0033】スレーブチップ2a及び2bの各々は、コマンドクロック線4からコマンドクロックCLK1を受け取るクロック入力回路24と、コマンドクロックCLK1に従ってコマンドバス3からコマンドを受け取るコマンド入力回路23と、受け取ったコマンドに含まれる電源電圧及び温度の変化情報を抽出する抽出回路21と、データクロックCLK2を生成するクロック位相調整回路22と、データクロックCLK2に従ってデータバス5にスレーブチップ内部のデータを出力するデータ出力回路25と、データクロックCLK2をデータクロック線6に出力するデータクロック出力回路26とを備えている。クロック位相調整回路22は、コマンドクロックCLK1を受け取り、抽出回路21によって抽出された情報が示す半導体集積回路システム110の状態の変化に基づいてコマンドクロックCLK1の位相を調整することにより、データクロックCLK2を生成する。

【0034】次に、半導体集積回路システム110におけるマスターチップ1及びスレーブチップ2（2a及び2b）の動作を詳しく説明する。

【0035】図2に示されるように、マスターチップ1は、コマンドクロックCLK1の制御によってコマンドバス3にコマンドを出力する。第1及び第2のスレーブチップ2a及び2bの各々は、コマンドクロック線4からコマンドクロック入力回路24に与えられるコマンドクロックCLK1のタイミングに従って、コマンドバス3を介して転送されるコマンドをコマンド入力回路23で受け取る。このコマンドによりスレーブチップの動作が決定される。

【0036】第1及び第2のスレーブチップ2a及び2bは、マスターチップ1からの距離（バス長）が異なる。そこで、各々のクロック位相調整回路22により、

入力されたコマンドクロックCLK1を遅延させることによってデータ出力のタイミングを調整する。即ち、コマンドクロックを遅延させる（位相を調整する）ことによってデータ伝送用のクロックCLK2を生成する。このデータクロックCLK2によって各スレーブチップ2からデータを出力することにより、各スレーブチップ2からのデータがマスターチップ1に届くタイミングを合わせている。すなわち、各スレーブチップ2のデータ出力回路25は、スレーブチップ2のマスターチップからの距離に応じてタイミング調整されたデータクロックCLK2によってデータを出力する。更に、データ出力回路25からデータをデータバス5に出力すると同時に、クロック出力回路26からデータの出力に用いたデータクロックCLK2をデータクロック線6に出力することにより、データとそれを取り込むタイミングを決定するデータクロックCLK2とをその時間関係がずれることなくマスターチップ1に到着させることができる。

【0037】このような各スレーブチップ2のバス長（マスターチップ1からの距離）に応じたクロック位相調整回路22の遅延量の設定は、半導体集積回路システム110のイニシャライズ時（電源投入後、読み出し／書き込み動作を開始する前）に、各スレーブチップ2対して行われる。

【0038】しかし、半導体集積回路システム110が複数のスレーブチップ2を含んでおり、上述のようにシステムの状態（温度や電源電圧）の変化に対する各スレーブチップ2のクロック位相調整回路22の特性が異なる場合、イニシャライズ時からのシステムの状態の変化に応じて各クロック位相調整回路22の設定をやり直す必要がある。

【0039】本実施の形態において、電源電圧及び温度変化を検知する検知回路11はマスターチップ1に備えられている。検知回路11で検知された電源電圧及び温度の変化は、状態の変化の情報としてコマンド生成回路12に与えられる。コマンド生成回路12は、後述するように、状態の変化の情報を含んだコマンドを生成してコマンド出力回路13に与える。コマンド出力回路13は、コマンドクロック入力回路14から与えられるコマンドクロックCLK1に従ってコマンドバス3にコマンドを出力する。出力されたコマンドは、コマンドバス3を介して第1及び第2のスレーブチップ2a及び2bに転送される。尚、コマンドクロックCLK1はコマンドクロック線4によって各チップに伝送される。

【0040】コマンドクロック線4上のコマンドクロックCLK1は、各スレーブチップ2のコマンドクロック入力回路24によって受け取られる。コマンドバス3上のコマンドは、コマンドクロック入力回路24から与えられるコマンドクロックCLK1のタイミングに制御された各スレーブチップ2のコマンド入力回路23によって受け取られる。受け取られたコマンドは抽出回路21に与えら

れる。抽出回路21はコマンドに含まれる電源電圧及び温度変化の情報を抽出する。抽出された電源電圧及び温度の変化の情報はクロック位相調整回路22に与えられる。クロック位相調整回路22は、この変化の情報に基づいてコマンドクロックのCLK1の遅延量を再設定することにより、位相調整されたデータクロックCLK2を出力する。このデータクロックCLK2はデータクロック出力回路26に与えられる。データ出力回路25は、システムの状態の変化に基づいて位相調整されたデータクロックCLK2に従ってスレーブチップ2内のデータをデータバス5に出力する。

【0041】図3は、図2に示す半導体集積回路システム110の動作の一例として、スレーブチップ2のメモリからデータを読み出す読み出し動作のタイミングを模式的に示している。この場合、コマンドは、上記の変化の情報とスレーブチップ2の読み出しアドレスとを含んでおり、図3に示されるように、コマンドクロックCLK1に同期してバケット方式で送られる。コマンドの実行（読み出し処理）によって得られるデータは、このコマンドの実行に要する所定の処理時間の後に得られる。また、コマンドの実行により、各スレーブチップ2において所定の演算処理が実行される場合も同様である。

【0042】図4は、初期設定（イニシャライズ）から読み出し／書き込み動作までの半導体集積回路システム110の動作の一例を示すタイミングチャートである。初期設定においては、まず、全てのチップの初期化を行う。チップの初期化としては、例えば、チップ内部のレジスタ回路のリセットや内部電源の立ち上げなどがある。各チップの初期化が終了した後、各スレーブチップ2におけるクロック位相調整回路22の設定を行う。例えば、まず第1のスレーブチップ2a（図2）のクロック位相調整回路22における遅延量を設定する。このような設定は、従来のSLDRAMの場合と同様、マスターチップ1（コントローラ）と各スレーブチップ2aとのデータのやり取りを介して行われる。例えば、コマンドクロックCLK1とスレーブチップ2aを介してマスターチップ1に入力されてきたデータ転送クロックCLK2との位相を比較することによって、スレーブチップ2aにおけるクロックの位相調整を行うことができる。スレーブチップ2aの位相調整が終了した後、同様にして、第2のスレーブチップ2bにおけるクロック位相調整回路22の遅延量の設定を行う。尚、図4においては、スレーブチップ2が2個の場合を示しているが、スレーブチップ2の数はこれに限られず、更に多くのスレーブチップ2を含む場合にも、同様に順に各クロック位相調整回路の設定を行うことができる。

【0043】このようにして各チップに対する初期設定が終了すると、読み出し／書き込み動作などの通常の処理動作を行う。読み出し／書き込み動作に入ってから

レーブチップ2のクロック位相調整回路22の再設定を行う。即ち、各読み出し／書き込み動作毎に、各スレーブチップ2ではシステムの状態の変化に応じてデータクロックCLK2の位相の再調整が行われる。

【0044】このように、読み出し／書き込み動作の各サイクル毎にクロック位相調整回路22の再設定を行うことにより、半導体集積回路システム110の状態の急な変化（例えば電源電圧のドロップなど）が生じた場合にも迅速に対応し、システムの正確で安定な動作を実現することができる。このような調整は、例えば、電力消費の大きいアプリケーションの実行時などに有効である。

【0045】図5は、8ビットのコマンドバスC0～C7によってパケット形式で伝送されるコマンドの構成の一例を模式的に示している。図5は、読み出し／書き込み動作を行わせるコマンドのコマンドパケットを示している。図5に示されるように、各コマンドパケットにおいて、コマンドクロックの1サイクル目はチップのID情報（ID0～ID7）であり、そのコマンドが与えられるスレーブチップが指定される。2サイクル目の4ビット（コマンドバスC0～C3）が半導体集積回路システム110の状態の変化の情報に割り当てられ、温度や電源電圧の変動の情報を示すコマンド（TV0～TV3）となっている。すなわち、読み出し／書き込み動作の各サイクルにおいて、スレーブチップ2の指定を行った後に温度や電源電圧の変動の情報を送ることにより、その読み出し／書き込み動作を行う前に対応するスレーブチップ2のクロック位相調整回路22の再設定が行われる。

【0046】図6は、半導体集積回路システム110における初期設定から読み出し／書き込み動作までの動作のもう1つの例を示すタイミングチャートである。初期設定における動作は図4に示した例と同じである。図6に示す例では、読み出し／書き込み動作に入った後は、各スレーブチップ2のクロック位相調整回路22の再設定は読み出し／書き込み動作の各サイクルでは行なわれず、読み出し／書き込み動作のある時間単位毎に行われる。この場合、所定の時間周期でスレーブチップ2におけるクロック位相調整回路22の再設定を行わせるコマンドを出力すればよい。また、特に図示していないが、クロック位相調整回路22の再設定は各スレーブチップ2毎に再設定を行うことも、或いは全スレーブチップ2に対して一括して再設定を行うこともできる。

【0047】このような所定の時間周期で位相の再調整を行う場合は、読み出し／書き込み動作の各サイクルでの位相調整を行わない分、読み出し／書き込み動作の効率を向上することができる。また、コマンドの各パケットが短くなるという利点がある。

【0048】次に、マスターチップ1における、半導体集積回路システム110の状態の変化の情報を含むコマンドの生成についてより詳しく説明する。

【0049】図7は本実施の形態における検知回路11の構成の一例を示している。図7に示すように、検知回路11は、温度検知回路11a、電圧検知回路11b及び基準電圧発生回路11cを備えている。基準電圧発生回路11cは、半導体集積回路システム100の温度及び電源電圧に依存せずに所定の基準電圧を発生する。基準電圧発生回路11cは、従来の技術により構成することができ、例えば、US特許第5,448,159号に記載の"REFERENCE VOLTAGE GENERATOR"を用いることができる。温度検知回路11aは、PLLをその内部に備えており、温度の変化によってPLLに含まれる電圧制御発振器の出力VCOが変化することを利用している。即ち、VCOと、基準電圧発生回路11cから与えられる基準電圧V<sub>ref</sub>を分圧した値VR1～VR3とを比較回路L1～L3で比較し、その差を求めることにより温度変化を検知している。検知結果は温度変化検知信号T1～T3として比較回路L1～L3から出力される。

【0050】また、電圧検知回路11bは、システムの電源電圧V<sub>DD</sub>を抵抗素子で分圧した電圧値V<sub>CMP</sub>と、基準電圧発生回路11cから与えられる基準電圧V<sub>ref</sub>を分圧した値VR1～VR3とを比較回路R1～R3で比較し、その差を求めることにより電源電圧の変化を検知している。検知結果は電源電圧変化検知信号V1～V3として比較回路R1～R3から出力される。

【0051】尚、温度変化検知信号T1～T3及び電源電圧変化検知信号V1～V3は後述のようにデジタル信号である。

【0052】図8は本実施の形態におけるコマンド生成回路12の構成の一例を示している。図8に示すように、コマンド生成回路12は温度側コマンド生成回路12a及び電圧側コマンド生成回路12bを備えている。図8に示すように、温度側コマンド生成回路12aは温度変化検知信号T1～T3を受け取り、これらをエンコードすることによって、2ビットの温度変化情報のコマンド（TV0及びTV1）を出力する。図9（a）に温度側コマンド生成回路12aによるエンコードの一例を示す。図9（a）に示すように、温度変化情報のコマンド（TV0及びTV1）の各ビットの値に従って温度設定値が定められる。各スレーブチップ2においては、このコマンドによって定まる温度設定に基づいてクロック位相調整回路22の遅延量が再調整される。

【0053】同様に、図8に示すように、電圧側コマンド生成回路12bは電源電圧変化検知信号V1～V3を受け取り、これらをエンコードすることによって、2ビットの電圧変化情報のコマンド（TV2及びTV3）を出力する。図9（b）に電圧側コマンド生成回路12bによるエンコードの一例を示す。図9（b）に示すように、電圧変化情報のコマンド（TV2及びTV3）の各ビットの値に従って電圧設定値が定められている。各スレーブチップ2においては、このコマンドによって定ま

る電圧設定に基づいてクロック位相調整回路 22 の遅延量が再調整される。

【0054】次に、各スレーブチップ 2 におけるコマンドからの状態の変化の情報の抽出と、抽出された情報に基づくクロックの位相調整についてより詳しく説明する。

【0055】図 10 は、図 2 に示す半導体集積回路システム 110 の各スレーブチップ 2 における抽出回路 21 の詳細な回路構成を示す図である。図 10 に示すように、抽出回路 21 は、コマンド入力回路 23 から与えられるコマンド (TV0~TV3) をラッチするラッチ回路 42 (42a~42d) と、温度や電源電圧の変動を示す情報を抽出する情報抽出部 43 (43a~43p) とを備えている。

【0056】温度や電源電圧の変動を示す変化情報のコマンド TV0~TV3 は、抽出回路 21 内部のコマンドバス 41 (本実施の形態では 4 ビットとしている) からラッチ回路 42 に与えられる。ラッチ回路 42 は各ビットに対応するラッチ部 42a~42d を備えており、各ラッチ部はラッチ回路制御信号 51 によって制御される。ラッチ部 42a~42d からの出力 52a~52d 及びその相補の出力 53a~53d は、情報抽出部 43 に与えられる。情報抽出部 43 は、ラッチされた 4 ビットのコマンド TV0~TV3 をデコード部 43a~43p を用いてデコードし、温度や電源電圧の変動に応じた 16 通りの設定値に対応する調整信号 54a~54p を出力する。抽出回路 21 で得られた調整信号 54 (54a~54p) は、クロック位相調整回路 22 に与えられる。

【0057】本実施の形態では、上述のように、4 ビットのコマンド TV0~TV3 によって温度変動 (2 ビット) 及び電源電圧変動 (2 ビット) の情報が運ばれる。従って、4 通りの温度条件及び 4 通りの電圧条件で合計 16 通りの設定を行うことができる。尚、本発明はこの例に限られず、コマンドのビット数は必要に応じて定めることができる。

【0058】図 11 は、図 2 に示す半導体集積回路システム 110 の各スレーブチップ 2 におけるクロック位相調整回路 22 の詳細な回路構成を示す図である。図 11 に示すように、クロック位相調整回路 22 は、遅延量設定回路 61、クロック信号入力切替え回路 62、及びクロック遅延回路 63 を備えている。

【0059】クロック遅延回路 63 は複数の遅延回路 63a~63p を含んでいる。遅延回路 63a~63p の各々には、システムの温度や電圧の条件に応じた遅延量が設定されている。例えば、遅延回路 63a には基準となる遅延量を設定して標準条件用の遅延回路とする。同様に、例えば、遅延回路 63b は常温・低電圧用、遅延回路 63c は常温・高電圧用、遅延回路 63d は高温・基準電圧用などとしてすることができる。本実施の形態で

は、抽出回路 21 から与えられる 16 通りの出力信号 54 に対応して、クロック遅延回路 63 に 16 通りの遅延量 (遅延回路 63a~63p) を設定できるようにしている。また、クロック信号入力切替え回路 62 には、抽出回路 21 から出力される調整信号 54 (54a~54p) が入力される。

【0060】遅延量設定回路 61 には、上述の初期設定において、マスターチップ 1 からスレーブチップ 2 に与えられる初期設定信号が遅延量設定信号入力端子 60 を介して入力される。遅延量設定回路 61 には、この初期設定信号に従った所定の遅延量が設定 (記憶) される。クロック位相調整回路 22 は、遅延量設定回路 61 に記憶された所定の遅延量に従って遅延回路 63a~63p のいずれかの遅延回路 (例えば標準条件用遅延回路 63a) を用いることにより、クロック入力端子 65 から入力されたクロック信号 (コマンドクロック CLK1) を所定量だけ遅延させる。そして、遅延されたコマンドクロック CLK1 を位相調整されたクロック信号 (データクロック CLK2) として遅延クロック出力端子 66 から出力する。

【0061】クロック遅延回路において使用される遅延回路 63a~63p の選択は、クロック信号入力切替え回路 62 によって行われる。クロック信号入力切替え回路 62 はスイッチング素子 62a~62p を備えており、調整信号 54 (54a~54p) に従って、遅延回路 63a~63p のいずれかを選択し、選択した遅延回路にクロック信号を入力させる。ここで、遅延回路 63a~63p の各々は、調整信号 54 によって定まる各条件 (温度、電圧など) に対応した遅延量を有している。

【0062】このように、マスターチップ 1 から、半導体集積回路システム 110 の状態の変化、即ち温度や電源電圧などの条件の変化を示す情報がコマンド VT0~VT3 によってスレーブチップ 2 に与えられる。各スレーブチップ 2 では、抽出回路 21 によって与えられたコマンドから変化の情報を抽出 (デコード) し、その抽出した情報に基づいてクロック位相調整回路 22 の遅延回路 63a~63p の切替えを行い、条件の変化に従ってクロック信号の遅延量が再設定される。このことにより、半導体集積回路システム 110 の状態の変化による各スレーブチップ 2 間のクロック信号の変動をおさえ、システムの安定した動作を実現することができる。

【0063】尚、クロック位相調整回路 22 においては、クロック信号入力切替え回路 62 をクロック遅延回路 63 の前段 (入力側) に設けることにより、遅延回路 63a~63p のいずれかを選択的に用いている。或いは、このような切替え回路をクロック遅延回路 63 の後段に設け、クロック遅延回路 63 の出力側において所定の遅延量を有するクロックを選択的に出力してもよい。また、信号が入力されない遅延回路の出力を確実にハイインピーダンスとするため、クロック遅延回路 63 の入力側だけでなく出力側にも切替え回路を設けることもで

きる。

【0064】また、本実施の形態においては、半導体集積回路システム 110 の状態の変化を示す条件として温度及び電源電圧のみについて示しているが、他のプロセスの変動や、温度及び電源電圧のいずれか、或いはこれらの組み合わせなどを用いることもできる。

【0065】次に、クロック位相調整回路 22 の他の構成例を説明する。

【0066】図 12 は、図 2 に示す半導体集積回路システム 110 の各スレーブチップ 2 におけるクロック位相調整回路 22 の回路構成の別の例（クロック位相調整回路 22'）を示す図である。図 12 に示すように、クロック位相調整回路 22' は、遅延量設定回路 70、クロック信号入力切替え回路 62、クロック遅延回路 63、及び出力側クロック経路切替え回路 74 を備えている。遅延量設定回路 70 は、カウンタ量設定回路 71、比較回路 72、及びカウンタ回路 73 を備えている。尚、上述のクロック位相調整回路 22 と同様の構成要素には同じ参照符号を付し、詳細な説明は省略する。

【0067】クロック位相調整回路 22' の動作は、基本的には上述のクロック位相調整回路 22（図 11）と同様である。図 12 に示すクロック位相調整回路 22' は入力されるクロック（コマンドクロック CLK1）がクロック遅延回路 63 を通る回数を制御することによって遅延時間の設定を行っており、このことによりクロック遅延回路 63 の物理的な大きさを小さくすることができる。具体的には以下の通りである。

【0068】遅延量設定回路 70 は、初期設定時においてマスターチップ 1 から遅延量設定信号入力端子 60 に与えられる遅延量設定信号に従って、設定すべき遅延量に対応する所定のカウンタ値をカウンタ量設定回路 71 に設定（記憶）する。カウンタ回路 73 は入力されるクロックの回数をカウントする。比較回路 72 は、カウンタ回路 73 のカウンタ数とカウンタ量設定回路 71 のカウンタ設定値とを比較し、カウンタ設定値にカウンタ数が一致すると所定のクロック経路切替え信号 75 を出力側クロック経路切替え回路 74 に出力する。

【0069】出力側クロック経路切替え回路 74 は、クロック経路切替え信号 75 の制御により、カウンタ回路 73 のカウンタ数がカウンタ量設定回路 71 に設定されたカウンタ設定値に一致した場合にのみ、遅延クロック出力端子 66 からデータクロック CLK2 を出力する。

【0070】クロック遅延回路 63 において使用する遅延回路 63 a ~ 63 p の選択は、上述の例と同様に、クロック信号入力切替え回路 62 によって行われる。選択された遅延回路 63 a ~ 63 p のいずれかの出力は、所定のカウンタ設定値までのカウントが行われた後、出力側クロック経路切替え回路 74 を介してデータクロック CLK2 として出力される。このような構成をとることにより、クロック遅延回路 63 の各遅延回路の段数を少なく

できるため、クロック遅延回路 63 の回路規模を小さくすることができる。

【0071】次に、図 2 に示す半導体集積回路システム 110 のスレーブチップ 2 におけるクロック位相調整回路 22 の回路構成のまた別の例を説明する。

【0072】図 13 は、クロック位相調整回路 22'' の構成を示す図である。図 13 に示すように、クロック位相調整回路 22'' は、第 1 のクロック位相調整ユニット 22 a、第 2 のクロック位相調整ユニット 22 b、及び出力切替え回路 78 を備えている。第 1 及び第 2 のクロック位相調整ユニット 22 a 及び 22 b の各々の構成及び動作は上述のクロック位相調整回路 22（図 11）と同様である。上述のクロック位相調整回路 22 と同様の構成要素には同じ参照符号を付し、詳細な説明は省略する。

【0073】図 13 に示されるように、第 1 のクロック位相調整ユニット 22 a の第 1 の遅延量設定信号入力端子 60 a と第 2 のクロック位相調整ユニット 22 b の第 2 の遅延量設定信号入力端子 60 b とには、初期設定時に所定の遅延量を設定（記憶）するための初期設定信号が与えられる。また、第 1 のクロック位相調整ユニット 22 a の第 1 のクロック入力端子 65 a と第 2 のクロック位相調整ユニット 22 b の第 2 のクロック入力端子 65 b とには、コマンドクロック CLK1 が与えられる。第 1 及び第 2 のクロック位相調整ユニット 22 a 及び 22 b の内部における動作は上述のクロック位相調整回路 22 と同様である。

【0074】クロック位相調整回路 22'' は 2 つの位相調整ユニット 22 a 及び 22 b を含んでおり、それらが交互に用いられる。第 1 及び第 2 のクロック位相調整ユニット 22 a 及び 22 b から出力されるクロック（データクロック CLK2）は、出力切替え回路 78 によって交互に出力される。

【0075】例えば、上述のように、読み出し／書き込み動作の各サイクルにおいてクロックの位相調整を行う場合には、第 1 及び第 2 のクロック位相調整ユニット 22 a 及び 22 b を交互に用い、一方のユニットの遅延量を調整している間、他方のユニットを用いることができる。

【0076】尚、2 つのクロック位相調整ユニットは、必ずしも交互に用いる必要はなく、所定期間どちらか一方のクロック位相調整ユニットがデータクロック CLK2 を出力し続けてもよい。クロック位相調整回路 22'' の構成によれば、クロックの遅延量の再設定を行う場合にクロックの遅延動作がとぎれるのを防ぐことができる。すなわち、一方のクロック位相調整ユニットの遅延量を設定している間、他方のクロック位相調整ユニットが動作するため、遅延動作（位相調整動作）を中断なく行うことができる。

【0077】（実施の形態 2）上述の実施の形態 1 によ

る半導体集積回路システム 110 においては、マスターチップ 1 側で動作環境の変化を検知し、各スレーブチップ 2 は、マスターチップ 1 から与えられるコマンドに基づいてデータクロック（即ち、各スレーブチップからのデータ出力クロック）の位相をシステムの状態の変化に応じて調整していた。

【0078】本実施の形態においては、各スレーブチップ（各半導体集積回路）に動作環境の変化を検知する回路が設けられている場合を説明する。本実施の形態による半導体集積回路は、マスターチップとの位置関係に応じてデータ出力のタイミングを決定するデータ出力クロックの位相を調整する回路を備え、更に、データ出力クロックの位相を調整する回路の動作が動作環境（例えば、温度や電源電圧などの条件）の変化により変動するのを防ぐ回路を備えている。

【0079】以下、図面を参照しながらより具体的に説明する。

【0080】図 14 は、本発明の第 2 の実施の形態による半導体集積回路（スレーブチップ）200 の構成を模式的に示すブロック図である。図 14 に示すように、半導体集積回路 200 は、外部から与えられるクロックを受け取るクロック入力回路 201、動作環境の変化を検知する検知回路 202、出力クロック位相調整回路用の電源回路 203（以下、単に電源回路 203 とする）、出力クロック位相調整回路 204、クロック出力回路 205、及びデータ出力回路 206 を備えている。

【0081】図 14 に示すように、半導体集積回路 200 の外部、例えばマスターチップから与えられるクロック CLK1 は、半導体集積回路 200 のクロック入力回路 201 に入力される。クロック入力回路 201 は入力されたクロック CLK1 を基準クロック 210 として出力クロック位相制御回路 204 に出力する。検知回路 202 は温度や電圧の変化を検知して、その変化を反映させた基準電圧 212 を電源回路 203 に出力する。電源回路 203 は入力される基準電圧 212 に従ってクロック位相調整回路用の電源電位 213 を出力する。

【0082】出力クロック位相調整回路 204 は、クロック入力回路 201 から与えられる基準クロック 210 の位相を電源回路 203 から与えられる電源電位 213 に従って所定の値（遅延量）だけずらし、出力制御クロック 214 としてクロック出力回路 205 に出力する。クロック出力回路 205 は出力制御クロック 214 をデータ出力回路 206 に出力すると同時に、データ出力回路 206 から出力されるデータのストロープ信号（クロック CLK2）として、出力制御クロック 214 を出力データに合わせて半導体集積回路 200 の外部にも出力する。

【0083】検知回路 202 は例えば PLL 回路によって構成できる。以下、検知回路 202 が PLL 回路である場合についてより具体的に説明する。

【0084】図 15 は、検知回路 202 が PLL 回路である場合の半導体集積回路 200 の構成を示している。図 15 に示すように、半導体集積回路 200 の外部、例えばマスターチップから与えられるクロック CLK1 は、半導体集積回路 200 のクロック入力回路 201 に入力される。クロック入力回路 201 は、入力されたクロック CLK1 を基準クロック 210 として検知回路 202 に出力する。

【0085】検知回路（PLL）202 は内部クロックを生成する VCO を備えており、入力された基準クロック 210 に内部クロック 211 を同期させるように VCO の電位を変化させる。そして、検知回路 202 は、基準クロック 210 に内部クロック 211 を同期させた時の VCO の電位を、基準電圧 212 として電源回路 203 に与える。電源回路 203 は、入力される基準電圧 212 に基づいて、クロック位相調整回路用の電源電位 213 を出力する。

【0086】また、検知回路 202 は、基準クロック 210 に同期させた内部クロック 211（即ち、基準クロック 210 及び内部クロック 211 の位相は等しい）を出力クロック位相調整回路 204 に与える。出力クロック位相調整回路 204 は、入力された内部クロック 211 を所定の値（遅延量）だけ位相をずらし、出力制御クロック 214 としてクロック出力回路 205 に出力する。クロック出力回路 205 は、出力制御クロック 214 をデータ出力回路 206 に出力する。

【0087】データ出力回路 206 は、与えられる出力制御クロック 214 に従って、半導体集積回路 200 内部のデータを出力する。半導体集積回路 200 内部のデータは、例えばメモリから読み出されたデータや所定の演算処理の結果などである。また、データ出力回路 206 から出力されるデータに合わせて、クロック出力回路 205 は出力制御クロック 214 を出力データのストロープ信号として出力する。

【0088】ここで、温度や電源電圧等、半導体集積回路 200 の動作環境が変動した場合、出力クロック位相調整回路 204 の動作はそれに応じて変動することになる。本実施の形態においては、このような出力クロック位相調整回路 204 の動作の変動を防ぐために電源回路 203 を用いている。すなわち、温度や電源電圧等が変動した場合、検知回路 202 は、外部から入力される基準クロック 210 の位相と内部クロック 211 の位相とを合わせるために検知回路 202 内部の VCO の電位を変化させる。電源回路 203 は VCO の電位（基準電圧 212）をその動作の基準電圧としているため、電源回路 203 から出力される出力クロック位相調整回路用の電源電位 213 は基準電圧 212 の変化に従って変化する。電源電位 213 が変化することにより、出力クロック位相調整回路 204 の動作の変動が抑えられる。

【0089】図 16 に半導体集積回路 200 に入力され

るクロックの波形を示す。図 1 6 に示すように、入力クロックの周波数は、動作時よりも待機時のほうが低くなっている。入力クロックの周波数をこのように設定することにより、待機時における半導体集積回路 2 0 0 の消費電流を抑えることができる。

【0 0 9 0】図 1 7 は、出力クロック位相調整回路用の電源回路 2 0 3 の回路構成の一例を示す。図 1 7 に示すように、電源回路 2 0 3 は、基準電圧 2 1 2 の変化に応じた電源電位 2 1 3 を発生させる。

【0 0 9 1】また、半導体集積回路 2 0 0 の消費電力を低減するため、電源回路 2 0 3 が動作時用電源回路と待機時用電源回路との 2 つを備えるように構成することもできる。動作時用の電源回路としては、応答速度が速く消費電力が大きいものを用いる。一方、待機時用の電源回路としては、応答速度が遅く消費電力が小さいものを用いる。電源回路 2 0 3 をこのように構成することにより、動作時における高速な動作を維持しつつ待機時における消費電力を低減することができる。

【0 0 9 2】また、図 1 5 に示す半導体集積回路 2 0 0 における消費電力を低減するため、クロックの分周回路を設けることもできる。例えば、図 1 5 において、出力クロック位相調整回路 2 0 4 に対してはクロック入力回路から出力される基準クロック 2 1 0 をそのまま内部クロック 2 1 1 として与え、検知回路 2 0 2 に対しては、分周回路によって分周した分周クロックを入力する。

【0 0 9 3】図 1 8 に、入力クロック及び分周クロックのタイミングチャートを示す。図 1 8 に示されるように、分周クロックの周波数は入力クロックの周波数よりも低くなり、電源回路 2 0 3 においては低周波数で電圧設定が行えるため、それだけ消費電力を低減することができる。

【0 0 9 4】図 1 9 は、本実施形態によるもう 1 つの半導体集積回路 3 0 0 の構成を示すブロック図である。図 1 9 に示すように、半導体集積回路 3 0 0 は、第 1 のクロック入力回路 2 0 1 及び第 2 のクロック入力回路 3 0 1 を有している。その他の構成は図 1 5 に示す半導体集積回路 2 0 0 と同様であり、同様の構成要素には同じ参照符号を付して詳細な説明は省略する。

【0 0 9 5】第 1 のクロック入力回路 2 0 1 には、マスターチップなどから与えられるクロック CLK1 が入力される。第 1 のクロック入力回路に入力されたクロック CLK1 は、基準クロック 2 1 0 として出力クロック位相調整回路 2 0 4 に与えられる。第 2 のクロック入力回路 3 0 1 は、温度／電圧調整クロック入力回路であり、温度や電圧変化など、動作環境の変化に伴うクロックの位相調整用のクロック CLK3 が入力される。

【0 0 9 6】図 2 0 は半導体集積回路 3 0 0 における入力クロック CLK1 及び温度／電圧調整クロック CLK3 のタイミングチャートを示している。図 2 0 に示されるように、温度／電圧調整クロック CLK3 の周波数は入力クロッ

ク CLK1 の周波数よりも低い。従って、電源回路 2 0 3 においては低周波数で電圧設定が行えるため、それだけ消費電力を低減することができる。また、このように 2 種類のクロック入力回路を設けることにより、図 1 6 に示すように入力クロック CLK1 の周波数を動作時と待機時とで変更する必要がなくなり、動作時及び待機時の切替え時の制御が簡便になる。

【0 0 9 7】尚、以上の説明では、検知回路 2 0 2 が PLL 回路であるとしてクロックの位相調整を行う場合を説明したが、検知回路 2 0 2 として、PLL 回路のかわりに同様の動作をする回路（例えば DLL 回路など）を用いることもできる。

【0 0 9 8】

【発明の効果】上述のように、本発明による半導体集積回路システムによれば、各スレーブチップのクロック位相調整回路を、温度や電源電圧などの動作環境の変化を検知する検知回路の出力する情報に基づいて再設定することができるため、動作環境が変化した場合においても各スレーブチップの位相調整回路を安定に動作させることができる。従って、同一の半導体集積回路システム内に様々なメーカーの IC チップが混在した場合や、各 IC チップの回路特性（温度依存性や電圧依存性など）が異なる場合においても、安定した高速動作が可能な半導体集積回路システム、半導体集積回路、及び半導体集積回路システムの駆動方法を提供することができる。

【図面の簡単な説明】

【図 1】本発明による半導体集積回路システムを模式的に示すブロック図である。

【図 2】本発明の第 1 の実施の形態による半導体集積回路システムを模式的に示すブロック図である。

【図 3】本発明の第 1 の実施の形態におけるデータ出力のタイミングを示す図である。

【図 4】本発明の第 1 の実施の形態によるクロック位相調整回路の再調整のタイミングの一例を示す図である。

【図 5】本発明の第 1 の実施の形態におけるコマンドパケットの例を示す図である。

【図 6】本発明の第 1 の実施の形態によるクロック位相調整回路の再調整のタイミングのもう 1 つの例を示す図である。

【図 7】本発明の第 1 の実施の形態による検知回路の構成例を示す図である。

【図 8】本発明の第 1 の実施の形態によるコマンド生成回路の構成例を示す図である。

【図 9】(a) 及び (b) は、コマンド生成回路によるエンコードの一例を示す図である。

【図 1 0】本発明の第 1 の実施の形態による抽出回路の構成例を示す図である。

【図 1 1】本発明の第 1 の実施の形態によるクロック位相調整回路の構成の一例を示す図である。

【図 1 2】本発明の第 1 の実施の形態によるクロック位

相調整回路の構成のもう 1 つの例を示す図である。

【図 1 3】本発明の第 1 の実施の形態によるクロック位相調整回路の構成のまた別の例を示す図である。

【図 1 4】本発明の第 2 の実施の形態による半導体集積回路のブロック図である。

【図 1 5】本発明の第 2 の実施の形態による半導体集積回路において検知回路を PLL で構成した場合のブロック図である。

【図 1 6】本発明の第 2 の実施の形態における入力クロックの波形を示す図である。

【図 1 7】本発明の実施の形態において用いられるクロック位相調整回路用の電源回路の構成の一例を示す図である。

【図 1 8】入力クロック及び分周クロックの波形を示す図である。

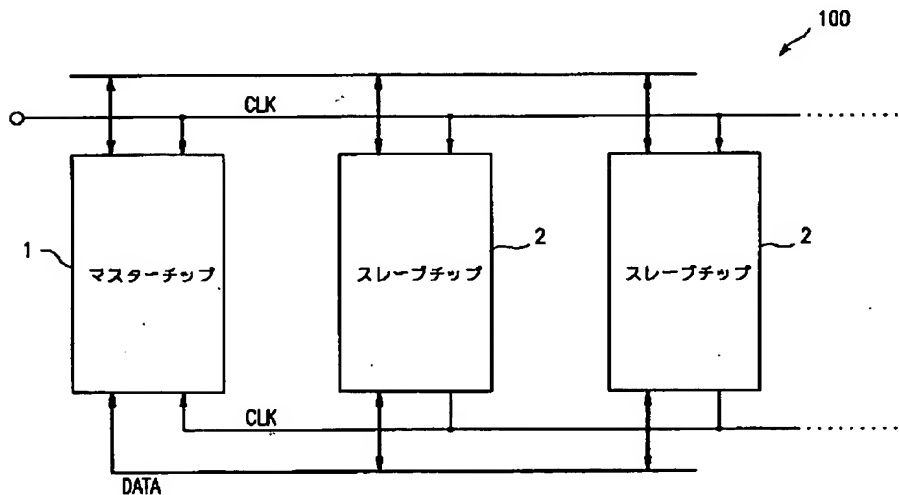
【図 1 9】本発明の第 2 の実施の形態による半導体集積回路のブロック図である。

【図 2 0】入力クロック及び温度電圧調整クロックの波形を示す図である。

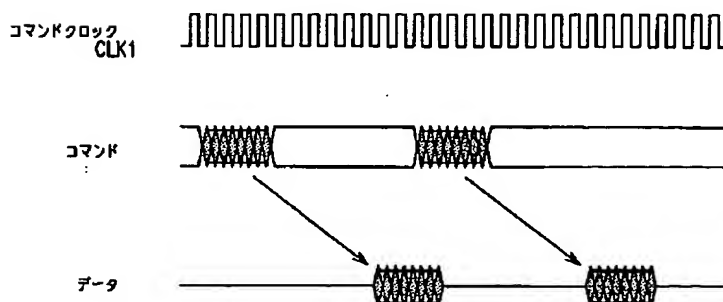
# 【符号の説明】

- 1 マスターチップ
- 2 スレーブチップ
- 3 コマンドバス
- 4 コマンドクロック線
- 5 データバス
- 6 データクロック線
- 1 1 検知回路
- 1 2 コマンド生成回路
- 1 3 コマンド出力回路
- 1 4 コマンドクロック入力回路
- 1 5 データ入力回路
- 1 6 データクロック入力回路
- 2 1 抽出回路
- 2 2 クロック位相調整回路
- 2 3 コマンド入力回路
- 2 4 コマンドクロック入力回路
- 2 5 データ出力回路
- 2 6 データクロック出力回路

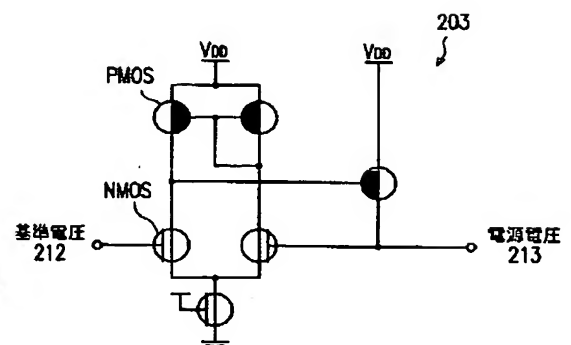
【図 1】



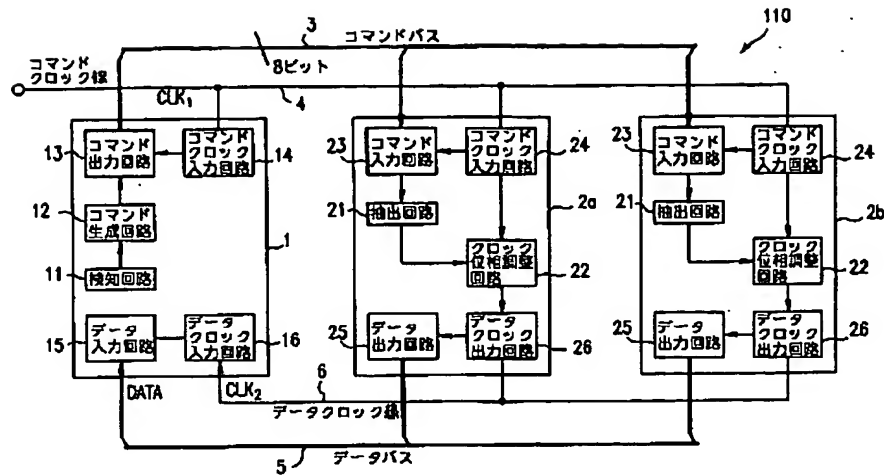
【図 3】



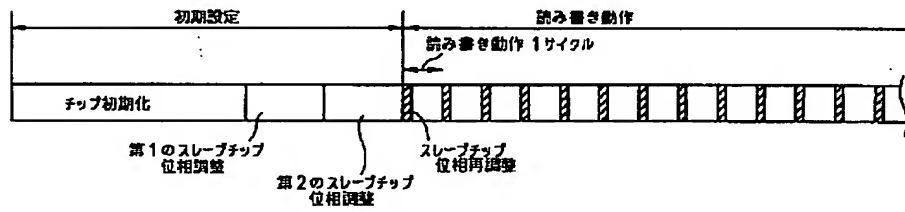
【図 1 7】



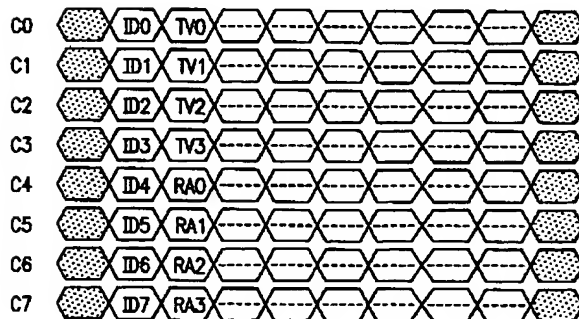
【図 2】



【図 4】

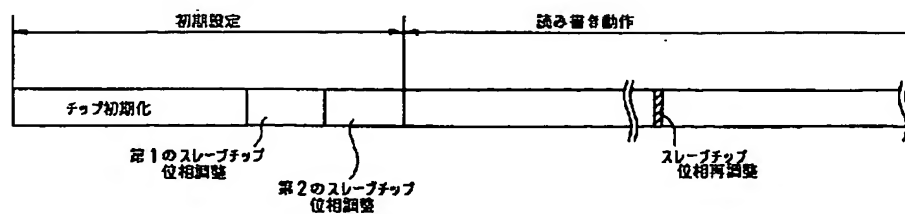


【図 5】

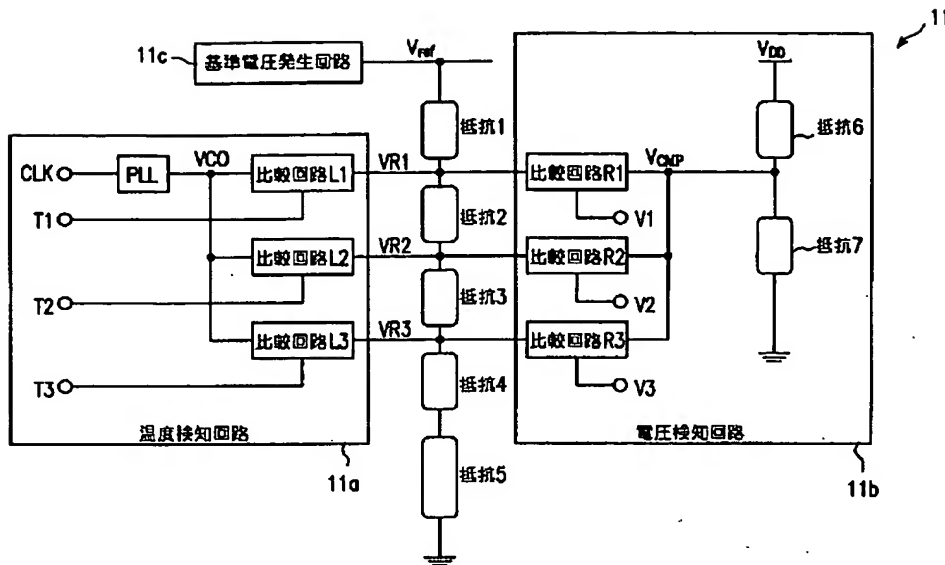


t

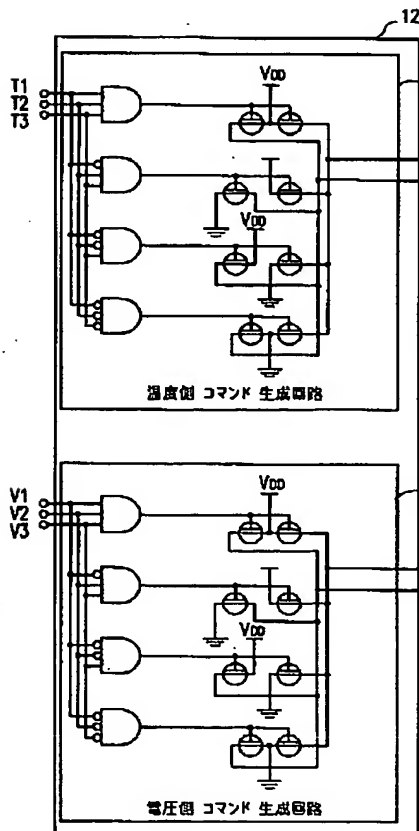
【図 6】



【図 7】



【図 8】



【図 9】

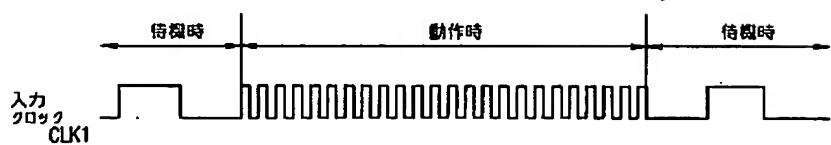
(a)

入力			出力		コマンドの意味
T1	T2	T3	TV0	TV1	
0	0	0	0	0	温度設定 1
0	0	1	0	1	温度設定 2
0	1	1	1	0	温度設定 3
1	1	1	1	1	温度設定 4

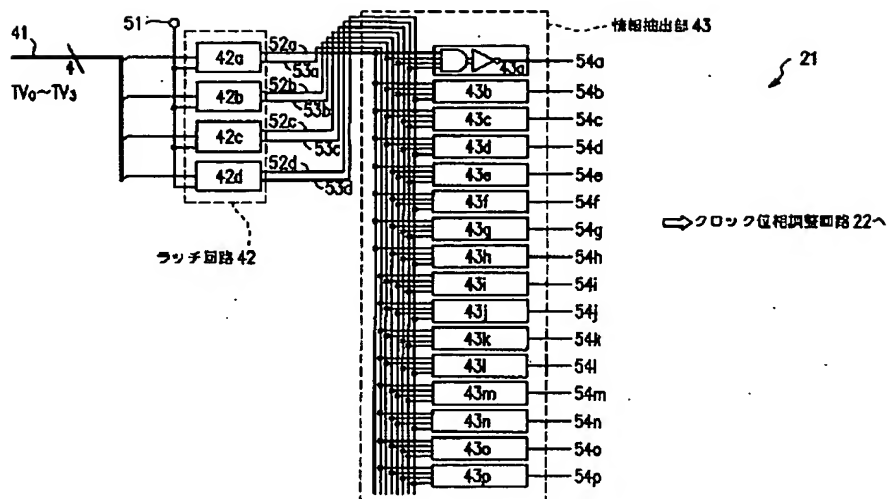
(b)

入力			出力		コマンドの意味
V1	V2	V3	TV2	TV3	
0	0	0	0	0	電圧設定 1
0	0	1	0	1	電圧設定 2
0	1	1	1	0	電圧設定 3
1	1	1	1	1	電圧設定 4

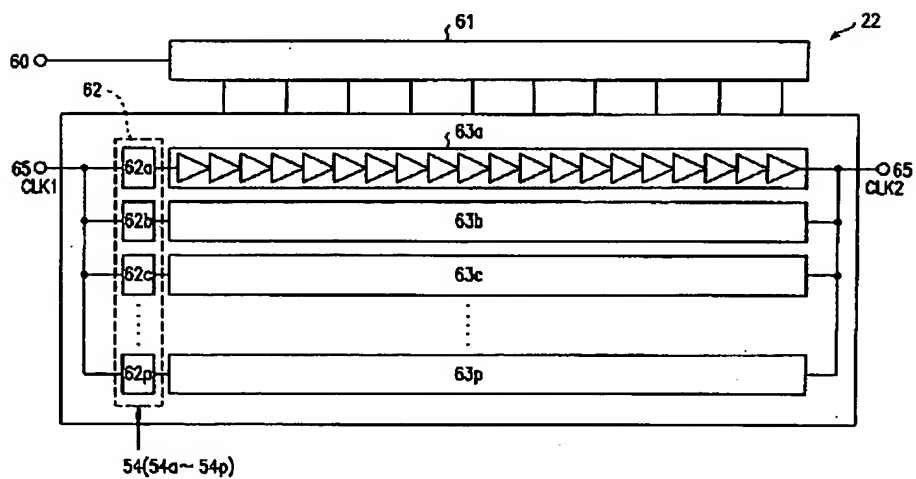
【図 16】



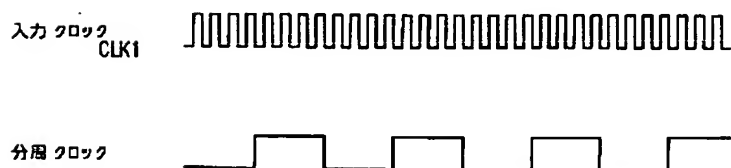
【図 10】



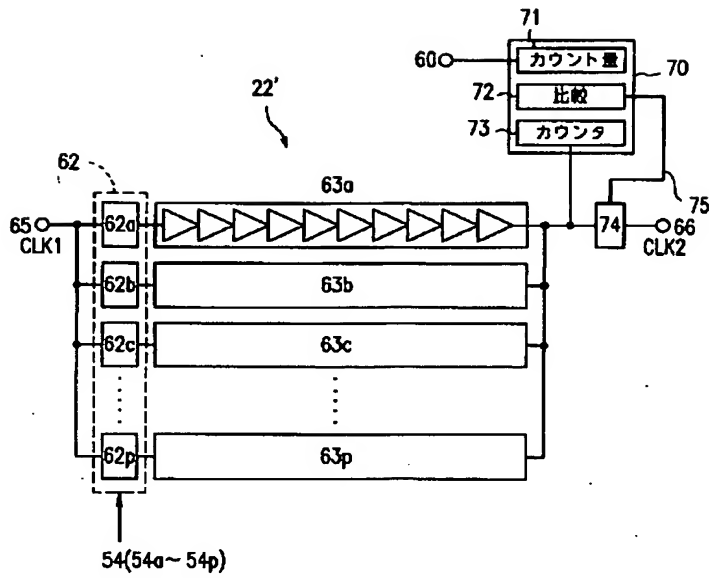
【図 11】



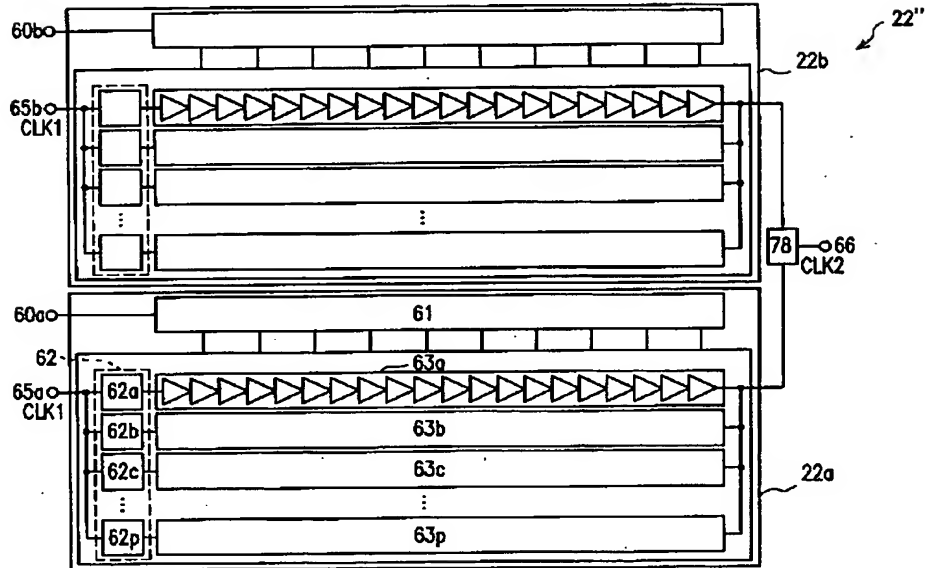
【図 18】



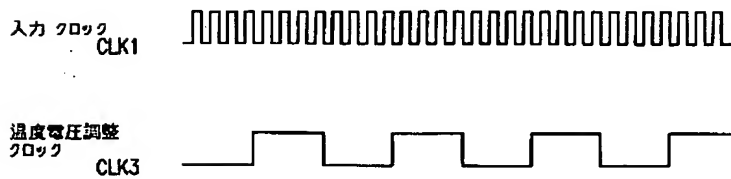
【図 1 2】



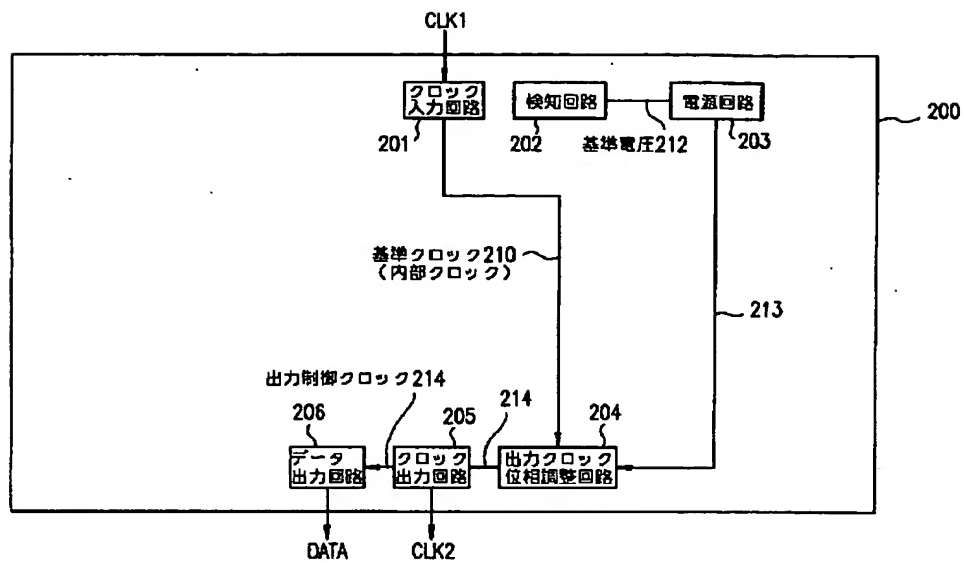
【図 1 3】



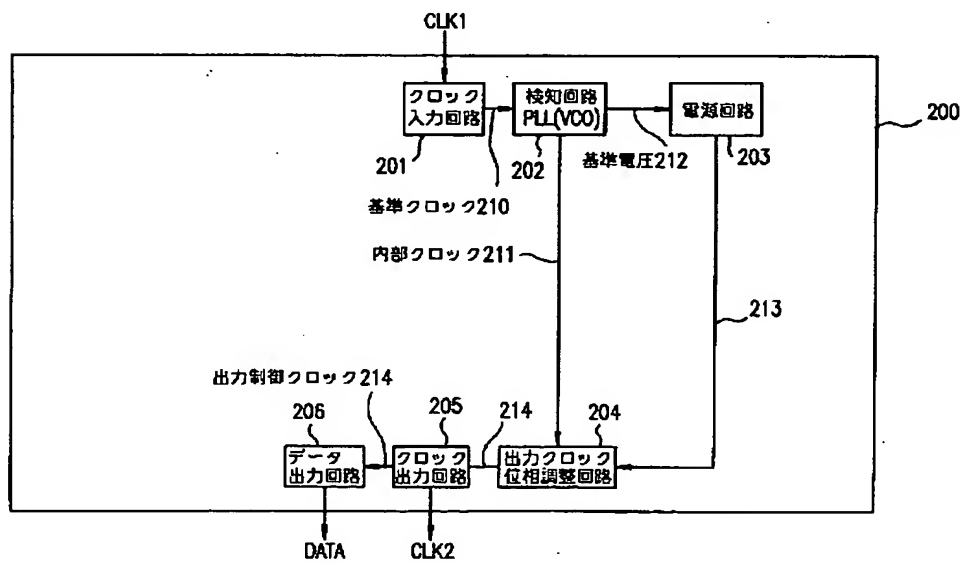
【図 2 0】



【図 1 4】



【図 1 5】



【図 19】

